

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345439
(43)Date of publication of application : 14.12.2001

(51)Int.Cl.	H01L 27/146
	H01L 21/28
	H01L 21/8238
	H01L 27/092
	H01L 29/41
	H04N 5/335

(21)Application number : 2000-302660 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 02.10.2000 (72)Inventor : NOZAKI HIDETOSHI
INOUE IKUKO
YAMASHITA HIROSHI

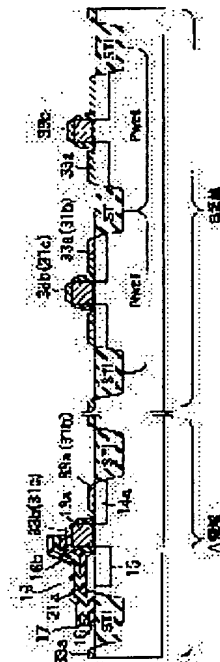
(30)Priority
Priority number : 2000088971 Priority date : 28.03.2000 Priority country : JP

(54) SOLID-STATE IMAGE SENSING DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve performance of an element by resolving problems of pseudo-signal and potential barrier caused by requirements of miniaturizing an element and low power supply voltage in a conventional solid-state image sensing device, wherein potential barrier is further raised by low power supply voltage, thus further increasing after-image and noises.

SOLUTION: A read gate electrode 13a is formed selectively on a silicon substrate, and an N-type drain region 14a is formed in one end of the read gate electrode 13a. An N-type signal storage region 15 is formed in the other end of the read gate electrode 13a. A P⁺-type surface shield region 21a is formed by selective epitaxial growth on the signal storage region 15, and a silicide block layer 19, which consists of a silicon oxide film and a silicon nitride film and covers at least a part of the signal storage region 15, is formed on the surface shield region 21a. A Ti silicide film 33a is formed on the drain region 14a.



LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-345439
(P2001-345439A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド*(参考)	
H 0 1 L 27/146	3 0 1	H 0 1 L 21/28	3 0 1 D	4 M 1 0 4
21/28			3 0 1 T	4 M 1 1 8
		H 0 4 N 5/335	U	5 C 0 2 4
21/8238			E	5 F 0 4 8
27/092		H 0 1 L 27/14	A	
審査請求 未請求 請求項の数17 O L (全 17 頁) 最終頁に続く				

(21) 出願番号 特願2000-302660(P2000-302660)
(22) 出願日 平成12年10月2日(2000. 10. 2)
(31) 優先権主張番号 特願2000-88971(P2000-88971)
(32) 優先日 平成12年3月28日(2000. 3. 28)
(33) 優先権主張国 日本(J P)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 野崎 秀俊
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 井上 郁子
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

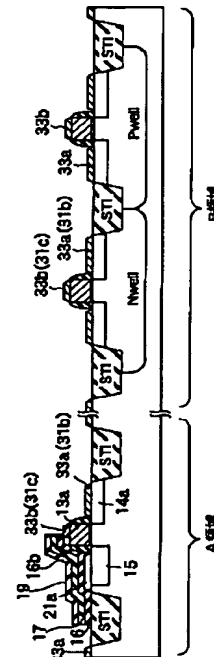
最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその製造方法

(57) 【要約】

【課題】 低電源電圧化により電位障壁がさらに高まるようになり、残像や雑音が一層増加した。このように、従来の固体撮像装置では、素子の微細化及び低電源電圧化の要求により生じている疑似信号や電位障壁の問題を解決し、素子の性能を向上させる。

【解決手段】 シリコン基板上に読み出しゲート電極13aが選択的に形成され、この読み出しゲート電極13aの一端にN型ドレイン領域14aが形成されている。また、読み出しゲート電極13aの他端にN型信号蓄積領域15が形成されている。この信号蓄積領域15上にはP+型の表面シールド領域21aが選択エピタキシャル成長させて形成されており、この表面シールド領域21a上には、シリコン酸化膜とシリコン窒化膜からなり信号蓄積領域15の少なくとも一部を覆うシリサイドブロック層19が形成されている。ドレイン領域14a上にはTiシリサイド膜33aが形成されている。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に選択的に形成された読み出しゲート電極と、
前記読み出しゲート電極の一端の前記半導体基板の表面に形成された第 2 導電型の拡散領域と、
前記読み出しゲート電極の他端の前記半導体基板の表面に形成された第 2 導電型の信号蓄積領域と、
前記信号蓄積領域の表面に形成された第 1 導電型の表面シールド領域と、
シリコン酸化膜とシリコン窒化膜からなり、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層と、
前記拡散領域上に形成された金属シリサイド層とを具備することを特徴とする固体撮像装置。

【請求項 2】 第 1 導電型の半導体基板上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に選択的に形成された読み出しゲート電極と、
前記読み出しゲート電極の一端の前記半導体基板の表面に形成された第 2 導電型の拡散領域と、
前記読み出しゲート電極の他端の前記半導体基板の表面に形成された第 2 導電型の信号蓄積領域と、
前記信号蓄積領域上に選択エピタキシャル成長させて形成された第 1 導電型の表面シールド領域とを具備することを特徴とする固体撮像装置。

【請求項 3】 第 1 導電型の半導体基板がウェル層またはエピ層であることを特徴とする請求項 1 又は請求項 2 記載の固体撮像装置

【請求項 4】 前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層と、
前記拡散領域上に形成された金属シリサイド層とをさらに具備することを特徴とする請求項 2 記載の固体撮像装置。

【請求項 5】 前記拡散領域上に選択エピタキシャル成長させて形成されたエレベータッド・ソース・ドレインをさらに具備することを特徴とする請求項 2 又は 3 記載の固体撮像装置。

【請求項 6】 前記金属シリサイド層は、Ti シリサイド膜、Co シリサイド膜、Ni シリサイド膜、W シリサイド膜のいずれかの膜であることを特徴とする請求項 1 又は 3 記載の固体撮像装置。

【請求項 7】 前記シリサイドブロック層は、前記信号蓄積領域の少なくとも一部を覆い、かつ前記読み出しゲート電極の少なくとも一部を覆うパターンであることを特徴とする請求項 1 又は 3 記載の固体撮像装置。

【請求項 8】 前記シリサイドブロック層は、前記信号蓄積領域の少なくとも一部を覆い、かつ前記読み出しゲート電極の少なくとも一部を覆い、さらに前記拡散領域

2

の少なくとも一部を覆うパターンであることを特徴とする請求項 1 又は 3 記載の固体撮像装置。

【請求項 9】 前記表面シールド領域の下面は前記読み出しゲート電極の下面と同一の高さに位置していることを特徴とする請求項 2 又は 3 記載の固体撮像装置。

【請求項 10】 前記読み出しゲート電極と所定間隔離間して形成されたゲート電極と、
前記ゲート電極の両端に選択エピタキシャル成長させて形成されたエレベータッド・ソース・ドレイン領域と、
前記エレベータッド・ソース・ドレイン領域上に形成された金属シリサイド層とをさらに具備することを特徴とする請求項 4 記載の固体撮像装置。

【請求項 11】 第 1 導電型の半導体基板上に第 1 の絶縁膜を形成する工程と、
前記半導体基板内に素子領域を分離する素子分離領域を選択的に形成する工程と、
前記素子領域上に前記第 1 の絶縁膜を介して読み出しゲート電極を形成するとともに前記素子分離領域上に前記第 1 の絶縁膜を介してゲート電極を形成する工程と、
前記読み出しゲート電極の一端の素子領域の表面に第 2 導電型の拡散領域を形成する工程と、
前記読み出しゲート電極の他端の素子領域の表面に第 2 導電型の信号蓄積領域を形成する工程と、
全面に第 2 の絶縁膜を形成する工程と、
前記拡散領域の表面を露出するように前記第 2 の絶縁膜を除去し、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層を形成する工程と、
前記信号蓄積領域の表面に第 1 導電型の表面シールド領域を形成する工程と、
前記拡散領域上の前記第 1、第 2 の絶縁膜を除去し、前記拡散領域の表面を露出する工程と、
前記表面が露出された拡散領域上に金属シリサイド層を形成する工程とを含むことを特徴とする固体撮像装置の製造方法。

【請求項 12】 第 1 導電型の半導体基板上に第 1 の絶縁膜を形成する工程と、
前記半導体基板内に素子領域を分離する素子分離領域を選択的に形成する工程と、
前記素子領域上に前記第 1 の絶縁膜を介して読み出しゲート電極を形成する工程と、
前記読み出しゲート電極の一端の素子領域の表面に第 2 導電型の拡散領域を形成する工程と、
前記読み出しゲート電極の他端の素子領域の表面に第 2 導電型の信号蓄積領域を形成する工程と、
前記信号蓄積領域のシリコン層を選択エピタキシャル成長させて第 1 導電型の表面シールド領域を形成する工程とを含むことを特徴とする固体撮像装置の製造方法。

【請求項 13】 第 1 導電型の半導体基板上に第 1 の絶縁膜を形成する工程と、
前記半導体基板内に素子領域を分離する素子分離領域を

選択的に形成する工程と、
前記素子領域上に前記第1の絶縁膜を介して読み出しゲート電極を形成する工程と、
前記読み出しゲート電極の一端の素子領域の表面に第2導電型の拡散領域を形成する工程と、
前記読み出しゲート電極の他端の素子領域の表面に第2導電型の信号蓄積領域を形成する工程と、
前記信号蓄積領域のシリコン層を選択エピタキシャル成長させて第1導電型の表面シールド領域を形成する工程と、
全面に第2の絶縁膜を形成する工程と、
前記拡散領域上の前記選択成長シリコン層の表面を露出するように前記第2の絶縁膜を除去し、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層を形成する工程と、
前記表面が露出された拡散領域上の選択成長シリコン層に金属シリサイド層を形成する工程とを含むことを特徴とする固体撮像装置の製造方法。

【請求項14】 第1導電型の半導体基板がウェル層またはエピ層であることを特徴とする請求項11から請求項13のいずれか1項に記載の固体撮像装置の製造方法。

【請求項15】 前記表面シールド領域は、イオン注入されていないシリコン層を選択成長した後、この選択成長シリコン層にイオン注入及び熱処理をすることにより形成することを特徴とする請求項12又は請求項13記載の固体撮像装置の製造方法。

【請求項16】 前記表面シールド領域は、イオン注入されているシリコン層を選択成長することにより形成することを特徴とする請求項12又は請求項13記載の固体撮像装置の製造方法。

【請求項17】 前記金属シリサイド層を形成した後に、前記ブロック層を除去する工程をさらに含むことを特徴とする請求項11又は請求項13記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フォトダイオードとMOS型電界効果トランジスタを有する固体撮像装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、パーソナルコンピュータや携帯情報機器端末の急速な普及により、個人が手軽に画像の取り込み・加工・編集を行う機会が増えている。このため、CCDが主であった固体撮像装置に対しても、小型化・低消費電力化・低コスト化のニーズが高まっている。これらのニーズを満たすものとして、汎用CMOS半導体技術をベースに作られるMOS型固体撮像素子（通称、CMOSイメージセンサ）が登場し、普及されつつある。現在、CMOSイメージセンサの製品は、

0.35 μ mルール以上のCMOSテクノロジーを用いて作られている。しかし、今後は固体撮像装置の小型化・低消費電力化のニーズが高まり、さらなる微細化が進むと予想される。

【0003】 図29は、例えば、特開平10-150182号公報に開示されているような従来のMOS型固体撮像装置の断面図を示す。図29において、A領域は画素領域を示し、B領域は周辺回路領域を示している。

【0004】 図29に示すように、P型のシリコン基板11上に、ゲート絶縁膜（シリコン酸化膜）12を介して、ポリシリコンからなるゲート電極13a、13b、13cが選択的に形成されている。ここで、A領域において、13aは読み出しゲート電極を示し、13bはリセット又はアドレスゲート電極を示している。また、0.35 μ mテクノロジー以上の非微細パターンではLOCOS構造が一般的であるため、シリコン基板11内にLOCOS構造の素子分離領域（以下、LOCOSと称す）が選択的に形成されている。

【0005】 A領域において、シリコン基板11の表面の所望の領域には、N型ドレイン領域14a、フォトダイオードのN型信号蓄積領域15が形成されており、このN型信号蓄積領域15の表面にはP型の表面シールド領域21が形成されている。これにより、入射光量に応じた信号電荷を蓄積するP-NP型の埋め込みフォトダイオード34a、34bが形成されている。B領域において、シリコン基板11内にNwell、Pwellが形成されており、このNwell、Pwell内にN型LDD（Lightly Doped Drain）領域14b、P型LDD領域14cがそれぞれ形成されている。

【0006】 また、全面に第1の層間絶縁膜25が形成され、この第1の層間絶縁膜25上に第2の層間絶縁膜27が形成され、この第2の層間絶縁膜27上にA1遮光膜28が形成されている。このA1遮光膜28には、フォトダイオード34a、34bに光を入射するための開口部30が設けられおりている。また、第2の層間絶縁膜27内の第1の層間絶縁膜25上には信号線や単位画素内の接続配線の役目を果たすA1配線26が選択的に形成されている。また、最上面には全面を覆うシリコン窒化膜等の表面保護膜29が形成されている。尚、A1配線26、A1遮光膜28の上面、下面には、光反射抑制のために、Ti、TiN膜等の中間屈折率膜を設ける場合もある（特開平11-45989号公報）。

【0007】 このようなMOS型固体撮像装置において、フォトダイオードの信号蓄積領域15に蓄積された信号電荷は、読み出しゲート電極13aに正電圧を加えることによりN型のドレイン領域14aに読み出される。その結果、ドレイン領域14aの電位が変調される。ドレイン領域14aは増幅トランジスタのゲート電極13bと電気的に接続されており、増幅された電気信号が信号線に出力される。ここで、ドレイン領域14a

5

を電氣的にリセットするためのリセットトランジスタとリセットゲート線 13 b、前記増幅トランジスタ、増幅トランジスタをアドレスするためのアドレストランジスタとアドレスゲート線 13 b が用いられる。

【0008】しかしながら、上記従来の固体撮像装置において、画素の微細化が進んだ場合に生じる問題の一つは、迷光の影響がより強く現れることである。

【0009】迷光とは、例えば、フォトダイオード 34 a、34 b に入射した光の一部がシリコン基板 11 の表面で反射された後に A1 配線 26、ドレイン領域 14 a、ゲート電極 13 b の表面において多重反射して遠方まで達する現象を言う。図 29 に示す固体撮像装置においては、ゲート電極 13 a、13 b、13 c の表面やソース・ドレイン領域 14 a、14 b、14 c の表面は、光反射率が可視光領域において 40% 以上となるような光反射率が高いシリコン材料である。このため、フォトダイオード 34 a の表面で反射した迷光が十分に減衰せずに隣接するフォトダイオード 34 b に到達し、その結果、スマイヤブルーミング等の疑似信号が発生する。

【0010】画素の微細化に伴い、フォトダイオード 34 a、34 b の間隔が短くなれば、当然ながらより強い迷光が近隣のフォトダイオードに入る。その結果、スマイヤブルーミングなどの疑似信号が生じやすくなる。さらに、迷光が十分に減衰しないため、この迷光が B 領域（周辺回路領域）におけるソース・ドレイン領域 14 b、14 c、ゲート電極 13 c にまで到達し、トランジスタに誤作動が生じる。従って、今後、画素の微細化に伴い、このような迷光の悪影響がさらに強くなるのは言うまでもない。

【0011】ところで、現在、CMOS イメージセンサでは、3.3 V 以上の電源電圧が用いられている。今後、固体撮像装置の更なる小型化・低消費電力化のニーズに応えるため、上述した 0.35 μ m テクノロジー以下の微細化とともに、3.3 V 以下の低電源電圧化の開発が進むと予想される。

【0012】しかしながら、信号蓄積領域は異なる導電型の表面シールド領域をフォトダイオード表面に形成した埋め込みフォトダイオード構造を用いた場合には、低電源電圧化、即ち読み出しゲートの低電源化による問題が大きくなる。

【0013】図 30 (a) は、図 29 の A 領域の一部である埋め込みフォトダイオードの断面図を示している。また、図 30 (b)、(c) は、低電圧読み出し時（読み出しゲート電極 ON 時）におけるポテンシャル断面図を示し、図 30 (c) は、図 30 (b) よりも低電圧で読み出す場合を示している。

【0014】図 30 (a)、(b) に示すように、P 型のシリコン基板 11 内には、LOCOS 構造の素子分離領域が形成され、シリコン基板 11 上には、シリコン酸化膜等のゲート絶縁膜 12 を介して読み出しゲート電極

6

13 a が形成されている。シリコン基板 11 の表面には、イオン注入により N 型ドレイン領域 14 a、N 型信号蓄積領域 15、P 型表面シールド領域 21 が形成されている。また、シリコン基板 11 と表面シールド領域 21 は基準電位に設置されている。

【0015】このような固体撮像装置において、フォトダイオード 34 a に光が入射された場合、入射された光が光電変換されて、信号蓄積領域 15 に信号電子が蓄積される。ここで、表面シールド領域 21 は、Si/SiO₂ となるゲート絶縁膜 12 の界面の空乏層を防いで接合リーク電流を低減する役割と、表面シールド領域 21 とシリコン基板 11 に挟まれた信号蓄積領域 15 の電位 42 を、読み出しゲート電極 13 a を ON することにより変調される読み出しゲート電極 13 a 下のチャネル電位 43 よりも低く規定する役割を有する。従って、信号蓄積領域 15 に蓄積された信号電子をドレイン領域 14 a に原理的には完全転送させることができる。

【0016】しかしながら、図 30 (a) に示すような従来の固体撮像装置においては、表面シールド領域 21 の全領域がシリコン基板 11 内に埋め込まれている。このため、表面シールド領域 21 の上面は、読み出しゲート電極 13 a の下面より下方に位置している。従って、表面シールド領域 21 の端部の電位障壁発生部 40 において、図 30 (b) に示すような電位障壁 41 が生じる。その結果、残留電荷 44 が完全転送されず信号蓄積領域 15 内に残るため、少なからず残像や雑音を生む原因になっていた。

【0017】さらに、低電源電圧化の要求に伴い、電源電圧が下がり、即ち読み出しゲート電極 13 a の ON 時の電圧（読み出し電圧）が下がった場合（例えば、読み出し電圧が従来の 3.3 V から 2.5 V 程度に下がった場合）には、図 30 (c) に示すように、電位障壁 41 はさらに高くなり、より多くの残留電荷 45 が生じる。その結果、残像や雑音が一層増加し、かつ感度低下も大きくなるため、実用上大きな問題になっていた。

【0018】

【発明が解決しようとする課題】以上のように、近年、素子の微細化により迷光の影響がより強く現れるようになり、スマイヤブルーミングなどの疑似信号が生じやすくなっていた。また、低電源電圧化により電位障壁がさらに高まるようになり、残像や雑音が一層増加した。このように、従来の固体撮像装置では、素子の微細化及び低電源電圧化の要求により、種々の雑音が生じ、素子性能の低下が生じていた。

【0019】本発明は上記課題を解決するためになされたものであり、その目的とするところは、素子の性能を向上させることが可能な固体撮像装置及びその製造方法を提供することにある。

【0020】

【課題を解決するための手段】本発明は、前記目的を達

7

成するために以下に示す手段を用いている。

【0021】本発明の第1の固体撮像装置は、第1導電型の半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に選択的に形成された読み出しゲート電極と、前記読み出しゲート電極の一端の前記半導体基板の表面に形成された第2導電型の拡散領域と、前記読み出しゲート電極の他端の前記半導体基板の表面に形成された第2導電型の信号蓄積領域と、前記信号蓄積領域の表面に形成された第1導電型の表面シールド領域と、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層と、前記拡散領域上に形成された金属シリサイド層とを具備している。

【0022】本発明の第2の固体撮像装置は、第1導電型の半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に選択的に形成された読み出しゲート電極と、前記読み出しゲート電極の一端の前記半導体基板の表面に形成された第2導電型の拡散領域と、前記読み出しゲート電極の他端の前記半導体基板の表面に形成された第2導電型の信号蓄積領域と、前記信号蓄積領域上に選択エピタキシャル成長させて形成された第1導電型の表面シールド領域とを具備している。

【0023】本発明の第3の固体撮像装置は、上記第2の固体撮像装置において、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層と、前記拡散領域上に形成された金属シリサイド層とをさらに具備している。

【0024】上記第2、第3の固体撮像装置において、前記拡散領域上に選択エピタキシャル成長させて形成されたエレベータド・ソース・ドレインをさらに具備してもよい。

【0025】上記第1、第3の固体撮像装置において、前記金属シリサイド層は、Tiシリサイド膜、Coシリサイド膜、Niシリサイド膜、Wシリサイド膜のいずれかの膜であればよい。

【0026】上記第1、第3の固体撮像装置において、前記シリサイドブロック層は、前記信号蓄積領域の少なくとも一部を覆い、かつ前記読み出しゲート電極の少なくとも一部を覆うパターンであることが望ましい。また、前記シリサイドブロック層は、前記信号蓄積領域の少なくとも一部を覆い、かつ前記読み出しゲート電極の少なくとも一部を覆い、さらに前記拡散領域の少なくとも一部を覆うパターンであってもよい。

【0027】上記第2、第3の固体撮像装置において、前記表面シールド領域の下面は前記読み出しゲート電極の下面と同一の高さに位置していることが望ましい。

【0028】上記第3の固体撮像装置において、前記読み出しゲート電極と所定間隔離間して形成されたゲート電極と、前記ゲート電極の両端に選択エピタキシャル成長させて形成されたエレベータド・ソース・ドレイン領域と、前記エレベータド・ソース・ドレイン領域上

8

に形成された金属シリサイド層とをさらに具備してもよい。

【0029】本発明の第1の固体撮像装置の製造方法は、第1導電型の半導体基板上に第1の絶縁膜を形成する工程と、前記半導体基板内に素子領域を分離する素子分離領域を選択的に形成する工程と、前記素子領域上に前記第1の絶縁膜を介して読み出しゲート電極を形成するとともに前記素子分離領域上に前記第1の絶縁膜を介してゲート電極を形成する工程と、前記読み出しゲート電極の一端の素子領域の表面に第2導電型の拡散領域を形成する工程と、前記読み出しゲート電極の他端の素子領域の表面に第2導電型の信号蓄積領域を形成する工程と、全面に第2の絶縁膜を形成する工程と、前記拡散領域の表面を露出するように前記第2の絶縁膜を除去し、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層を形成する工程と、前記信号蓄積領域の表面に第1導電型の表面シールド領域を形成する工程と、前記拡散領域上の前記第1、第2の絶縁膜を除去し、前記拡散領域の表面を露出する工程と、前記表面が露出された拡散領域上に金属シリサイド層を形成する工程とを含んでいる。

【0030】本発明の第2の固体撮像装置の製造方法は、第1導電型の半導体基板上に第1の絶縁膜を形成する工程と、前記半導体基板内に素子領域を分離する素子分離領域を選択的に形成する工程と、前記素子領域上に前記第1の絶縁膜を介して読み出しゲート電極を形成する工程と、前記読み出しゲート電極の一端の素子領域の表面に第2導電型の拡散領域を形成する工程と、前記読み出しゲート電極の他端の素子領域の表面に第2導電型の信号蓄積領域を形成する工程と、前記信号蓄積領域のシリコン層を選択エピタキシャル成長させて第1導電型の表面シールド領域を形成する工程とを含んでいる。

【0031】本発明の第3の固体撮像装置の製造方法は、第1導電型の半導体基板上に第1の絶縁膜を形成する工程と、前記半導体基板内に素子領域を分離する素子分離領域を選択的に形成する工程と、前記素子領域上に前記第1の絶縁膜を介して読み出しゲート電極を形成する工程と、前記読み出しゲート電極の一端の素子領域の表面に第2導電型の拡散領域を形成する工程と、前記読み出しゲート電極の他端の素子領域の表面に第2導電型の信号蓄積領域を形成する工程と、前記信号蓄積領域のシリコン層を選択エピタキシャル成長させて第1導電型の表面シールド領域を形成する工程と、全面に第2の絶縁膜を形成する工程と、前記拡散領域上の前記選択成長シリコン層の表面を露出するように前記第2の絶縁膜を除去し、前記信号蓄積領域の少なくとも一部を覆うシリサイドブロック層を形成する工程と、前記表面が露出された拡散領域上の選択成長シリコン層に金属シリサイド層を形成する工程とを含んでいる。

【0032】上記第2、第3の固体撮像装置の製造方法

において、前記表面シールド領域は、イオン注入されていないシリコン層を選択成長した後、この選択成長シリコン層にイオン注入及び熱処理をすることにより形成すればよい。また、前記表面シールド領域は、イオン注入されているシリコン層を選択成長することにより形成してもよい。

【0033】上記第1、第3の固体撮像装置の製造方法において、前記金属シリサイド層を形成した後に、前記ブロック層を除去する工程をさらに含んでもよい。

【0034】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。以下の実施の形態では、0.25 μm 以下の微細テクノロジーを用いて作製したCMOSイメージセンサの例を示す。従って、従来技術で用いたLOCOSの代わりに、微細化に有利なSTI (Shallow Trench Isolation) 構造の素子分離領域が用いられる。尚、以下に説明する図面において、A領域は画素領域を示し、B領域は周辺回路領域を示している。

【0035】【第1の実施形態】第1の実施形態は、ソース・ドレイン領域上にシリサイド膜を形成し、フォトダイオード上にシリサイドブロック層を形成していることに特徴がある。このような第1の実施形態による固体撮像装置の製造方法について説明する。

【0036】まず、図1に示すように、公知の技術を用いて、P型のシリコン基板11上にゲート絶縁膜（シリコン酸化膜）12が形成され、シリコン基板11内にSTI構造の素子分離領域（以下、STIと称す）が選択的に形成される。次に、B領域のP-MOSトランジスタ形成領域にNwellが形成され、N-MOSトランジスタ形成領域にPwellが形成される。次に、シリコン基板11上にポリシリコンからなるゲート電極13a、13b、13cが選択的に形成される。ここで、A領域において、素子領域上に形成されたゲート電極は読み出しゲート電極13aを示し、STI上に形成されたゲート電極はリセット又はアドレスゲート電極13bを示している。また、B領域において、13cはMOS電界効果トランジスタのゲート電極を示している。

【0037】次に、光リソグラフィ法とイオン注入法を用いて、A領域における読み出しゲート電極13a端部のシリコン基板11の表面にN型ドレイン領域14aが形成され、B領域におけるN-MOSトランジスタのソース・ドレイン領域にN型LDD (Lightly Doped Drain) 領域14bが形成される。次に、B領域におけるP-MOSトランジスタのソース・ドレイン領域にP型LDD領域14cが形成される。次に、A領域における読み出しゲート電極13a端部のシリコン基板11の表面にフォトダイオードのN型信号蓄積領域15が形成される。ここで、N型ドレイン領域14a、N型LDD領域14b、N型信号蓄積領域15の形成時に注入されるイオンは、例えばリンイオンが用いられる。また、P型L

DD領域14cの形成時に注入されるイオンは、例えばボロンイオンが用いられる。尚、イオン注入法による拡散層領域14a、14b、14cの形成順は本実施形態と異なっても構わない。

【0038】また、本実施形態では、フォトダイオードの信号蓄積領域15とSTI端部（STIと素子領域との境界）とを離間してスペース11aが設けられている。このスペース11aは、後述する表面シールド領域とシリコン基板11とを導通させるために形成されている。従って、信号蓄積領域15とSTI端部との間に大きなスペースを設ける必要はなく、少なくとも部分的にスペースが設けられていればよい。また、STI端部に微少欠陥が実質的に存在せず、実質上フォトダイオードの接合リーク電流が増加しない場合には、信号蓄積領域15をSTI端部まで拡大してもよい。

【0039】次に、図2に示すように、減圧CVD (Chemical Vapor Deposition) 法を用いて、全面に例えば10乃至30nmの膜厚を有するシリコン酸化膜16が形成され、このシリコン酸化膜16上に例えば50乃至100nmの膜厚を有するシリコン窒化膜17が形成される。更に、シリコン酸化膜17上に減圧CVD法を用いて50乃至100nmの膜厚を有するシリコン酸化膜16bが形成される。その後、光リソグラフィ法によりフォトダイオードの信号蓄積領域15の上方のシリコン酸化膜16b上に光レジスト膜18が選択的に形成される。

【0040】次に、図3に示すように、この光レジスト膜18をマスクとして、希フッ酸系のウェットエッチング液にてシリコン酸化膜16bを除去した後に、RIE (Reactive Ion Etching) 技術を用いて、シリコン窒化膜17がドライエッチングされ、ゲート電極13a、13b、13cの側面にゲート側壁絶縁膜（サイドウォール絶縁膜）20が形成されるとともに、フォトダイオードの信号蓄積領域15上にシリサイドブロック層19が形成される。その後、光レジスト膜18が除去される。

【0041】次に、図4に示すように、光リソグラフィ法とイオン注入法及び熱処理法を用いて、A領域におけるフォトダイオードの信号蓄積領域15の表面にP⁺型の表面シールド領域21が形成される。その結果、入射光量に応じた信号電荷を蓄積するP⁺NP型の埋め込みフォトダイオード34が形成される。ここで、表面シールド領域21は、フォトダイオード34の表面にあるSi/SiO₂界面をシールドすることにより、信号蓄積領域15による空乏層がSi/SiO₂界面にまで広がることを防ぐ役割を果たす。従って、表面シールド領域21により、Si/SiO₂界面準位によるリーク電流の発生を抑えることができる。一方、P⁺型の表面シールド領域21が形成されるとともに、B領域においては、素子領域にソース・ドレイン領域22a、22bが形成される。ここで、N-MOS領域のソース・ドレ

11

ン領域 22a の形成には N⁺ 型のイオン注入が行われ、P-MOS 領域のソース・ドレイン領域 22b の形成には P⁺ 型のイオン注入が行われる。

【0042】次に、図 5 に示すように、フッ酸系のエッチング液を用いて、シリサイドブロック層 19 でカバーされていないゲート電極 13a、13b、13c 上及び素子領域上のシリコン酸化膜 12、16 が除去され、ゲート電極 13a、13b、13c の表面及びシリコン基板 11 の表面が露出される。次に、後述する金属シリサイド化の前工程としてプリアモルファス化イオン注入が行われる。このプリアモルファス化のイオン注入は、加速電圧が例えば 15 乃至 50 kV、ドーズ量が例えば 10^{14} 乃至 10^{15} cm⁻² の条件で、As イオンを用いて行われる。その後、スパッタリング法等により、シリサイド金属膜として、全面に例えば 20 乃至 30 nm の膜厚を有する Ti 膜が形成され、この Ti 膜上に例えば 10 乃至 20 nm の膜厚を有する TiN 膜が形成される。図 5 の 23 は、Ti 膜と TiN 膜からなるシリサイド金属膜を示している。尚、シリサイド金属は Ti に限定されず、例えば Co、Ni、W 等の高融点金属を用いてもよい。

【0043】次に、図 6 に示すように、窒素雰囲気中において、温度が 600 乃至 700℃、時間が 30 乃至 60 秒間の条件で、RTA (Rapid Thermal Annealing: 急速加熱アニール) が行われる。これにより、ゲート電極 13a、13b、13c 及びシリコン基板 11 の素子領域とシリサイド金属膜 23 が直に接する領域で、ゲート電極 13a、13b、13c 及びシリコン基板 11 中のシリコンとシリサイド金属膜 23 中の Ti が反応し、金属がシリサイド化される。その後、H₂SO₄ や HCl + H₂O₂ 溶液を用いて、未反応のシリサイド金属膜 23 が剥離除去され、さらに、温度が 700 乃至 800℃、時間が 20 乃至 30 秒の条件で RTA 熱処理が行われる。その結果、シリサイドブロック層 19 でカバーされていないゲート電極 13a、13b、13c の表面及びシリコン基板 11 上に金属シリサイド化された Ti シリサイド膜 (TiSi₂ 膜) 24b、24a が形成される。

【0044】この後、ドライ又はウェットエッチング法により、シリサイドブロック層 19 (又はシリサイドブロック層 19 を構成するシリコン窒化膜 17 部分のみ) を除去してもよい。シリサイドブロック層 19 をフォトダイオード 34 上に残す場合の利点は、シリコン窒化膜 17 がシリコンとシリコン酸化膜の間の中間屈折率を有するため、光の多重干渉効果によりフォトダイオード 34 表面での光反射率が減少し、感度が向上する点である。一方、フォトダイオード 34 上のシリサイドブロック層 19 をエッチング除去する利点は、シリコン酸化膜に比べて 10 倍程度の高い膜ストレスを有するシリコン窒化膜 17 がフォトダイオード 34 直下に存在しないため、ストレスにより誘発されるフォトダイオードリーク

12

電流を減らすことができる点である。本発明の実施の形態では、シリサイドブロック層 19 を残す場合について以下説明する。

【0045】次に、図 7 に示すように、全面に第 1 の層間絶縁膜 25 が形成された後、この第 1 の層間絶縁膜 25 が CMP (Chemical Mechanical Polish) 技術により平坦化される。この平坦化された第 1 の層間絶縁膜 25 上に、A 領域内の信号線や接続配線、B 領域内の接続配線の役目を果たす A1 配線 26 が選択的に形成される。次に、全面に第 2 の層間絶縁膜 27 が形成され、この第 2 の層間絶縁膜 27 が CMP 技術により平坦化される。この平坦化された第 2 の層間絶縁膜 27 上に A1 遮光膜 28 が形成され、フォトダイオード 34 上方の A1 遮光膜 28 が選択的に除去される。これにより、フォトダイオード 34 に光を入射するための開口部 30 が形成される。また、B 領域の全面は A1 遮光膜 28 によりカバーされる。その後、全面にシリコン窒化膜等の表面保護膜 29 が形成される。

【0046】以上のように形成された固体撮像装置において、A 領域におけるシリサイドブロック層 19 の平面パターンについて以下に説明する。

【0047】図 8 は、図 6 の C 領域の上面図を示している。図 8 に示すように、読み出しトランジスタのゲート電極 13a の一端と隣接するフォトダイオード 34 が形成され、このフォトダイオード 34 と隣接するリセットトランジスタ又はアドレストランジスタのゲート電極 13b が形成されている。また、読み出しトランジスタのゲート電極 13a の他端と隣接するドレイン領域 14a が形成されている。さらに、フォトダイオード 21、15 全面をカバーし、かつゲート電極 13a、13b の両方を部分的にカバーするシリサイドブロック層 19 が形成されている。

【0048】図 9 乃至図 11 は、フォトダイオード 34 の全面をカバーするシリサイドブロック層パターンの変形例を示している。

【0049】図 9 は、シリサイドブロック層 19 がゲート電極 13a、13b のいずれか一方のみを部分的にカバーする場合を示している。図 10 は、シリサイドブロック層 19 がゲート電極 13a、13b の両方を横断してカバーする場合を示している。図 11 は、シリサイドブロック層 19 がゲート電極 13a、13b の一方を部分的にカバーし、他方を横断してカバーする場合を示している。

【0050】図 10、11 のように、シリサイドブロック層 19 がゲート電極 13a、13b を横断してカバーしている場合においては、シリサイド化されないゲート電極 13a、13b の面積が広いと、配線抵抗が大きくなる。これは、金属シリサイド化された場合と金属シリサイド化されない場合のポリシリコン配線抵抗を比較した場合、通常金属シリサイドされた場合の抵抗の方が

13

一桁程度小さいからである。従って、画素信号を高速に駆動する場合（画素数が多い場合やフレーム周波数が高い場合）には、配線遅延を抑えるためには、図8、9のようなシリサイドブロック層19のパターンを用いることが望ましい。

【0051】図12乃至図15は、フォトダイオード34を部分的にカバーするシリサイドブロック層パターンの変形例を示しているが、本発明はこのようなシリサイドブロック層パターンを用いても有効である。むしろ、フォトダイオード34の表面の一部が低光反射率であるT i S i₂膜のような金属シリサイド膜でおおわれた方が迷光抑圧のために効果的である。しかしながら、金属シリサイド化されたフォトダイオード部においては接合リーク電流が増加し、暗時の雑音が増す恐れがある。迷光抑圧と低暗時雑音とのバランスから適切なシリサイドブロック層パターンを選ぶ必要があることは言うまでもない。

【0052】尚、図16に示すように、ドレイン領域14aの全面がシリサイドブロック層19で覆われていてもよい。この場合、ドレイン領域14aを金属シリサイド化することによる接合リーク電流の増加がなくなる。このため、信号電荷がドレイン領域14aに転送された場合、この後に生じる雑音を減らすことができる。

【0053】図17は、本発明において用いた金属シリサイド膜（代表としてT i S i₂膜、C o S i₂膜）と従来のシリコン（S i）の表面光反射率を示している。図17においては、大気中に試料を設置し、入射角8度で光を入射させた場合に測定した光反射率の値を示している。

【0054】図17に示すように、波長300乃至700nmの可視光域において、従来のシリコンよりもT i S i₂とC o S i₂の光反射率が明らかに小さい。特に、C o S i₂の場合、可視光域における光反射率を30%以下と非常に小さくできる。

【0055】本発明者等が本発明を実施した結果、T i S i₂膜を用いた場合、隣接画素において迷光による疑似信号の発生量を従来（シリコン）の約60%に減少させることができた。さらに、低反射率のC o S i₂を用いた場合には、隣接画素において迷光による疑似信号の発生量を従来（シリコン）の約30%にまで減少させることができた。尚、N i S i₂やW S i₂を用いた場合にも、T i S i₂やC o S i₂と同様の効果が得られる。

【0056】上記第1の実施形態によれば、ドレイン領域14a、ソース・ドレイン領域22a、22b上に光反射率の低いT iシリサイド膜24aが形成されている。従って、迷光の反射を防止することができるため、迷光による疑似信号の発生（スマイヤブルーミング）を十分に抑制できる。また、周辺回路に迷光が到達することも抑制できるため、トランジスタの誤動作を防止できる。このように、疑似信号や誤動作を防止でき、素子の

14

性能を向上させることができる。

【0057】また、フォトダイオード34上にシリサイドブロック層19が形成されている。このシリサイドブロック層19を残した場合、多層薄膜光干渉効果により上方からフォトダイオード34に入射する光の反射成分を約10乃至30%減少させることが可能である。従って、従来の約1.2倍の高い光感度の固体撮像装置が実現できる。

【0058】一方、T iシリサイド膜24a、24bを形成した後にシリサイドブロック層19を除去した場合、シリサイドブロック層19のシリコン窒化膜17によって遮断されることなく、シンター工程によって供給される十分量の水素原子が、フォトダイオード34にまで到達できる。従って、十分なシンター効果が得られるため、フォトダイオード34のリーク電流の低減に有効である。尚、シンター工程とは、最終工程付近において、水素を多く含むプラズマ窒化膜を形成した後、450℃で30分程度熱処理をして水素原子をシリコン基板にまで拡散させる工程であり、主に酸化膜／シリコン界面準位を不活性化させて接合リーク電流を減らす効果を有する。

【0059】また、シリサイドブロック層19を形成することにより、フォトダイオード34上に光透過率が非常に低い（約20%以下）シリサイド膜が形成されることを防止できる。従って、フォトダイオード34に十分な入射光量を供給できるため、シリサイド工程を用いてCMOSイメージセンサを製造した場合も、高い光感度の固体撮像装置が実現できる。また、シリサイド化による結晶欠陥がフォトダイオード34に導入されないため、フォトダイオード34の接合リーク電流が低減できる。従って、歩留まりの低下をもたらす白キズ画像欠陥出力と画質劣化をもたらすリーク電流のばらつきによる暗時むら出力が低減できる。

【0060】更に、シリサイドブロック層19を、シリコン酸化膜16、シリコン窒化膜17、及びシリコン酸化膜16bの3層構造としたことにより、下記のような効果が得られる。まず、シリコン酸化膜16bの効果は、次の通りである。シリコン窒化膜17上に直接T i / T i N巻くなどの金属膜を堆積してシリサイド化アニールを行うと、シリコン窒化膜17表面が僅かではあるが、金属シリサイド化されてしまう。その結果、フォトダイオードへ直接入射する光量が減少するという問題が生じるが、このシリコン酸化膜16bをシリコン窒化膜17上に形成することによりこの問題を解決することができる。

【0061】次に、シリコン窒化膜17の効果は、次の通りである。シリコン窒化膜17は、シリコンとシリコン酸化膜の中間の屈折率を有するため、フォトダイオード表面における光反射率を減らすことができる。その結果、フォトダイオードへ入射する光量が増加し、感度が

向上する。

【0062】また、シリコン酸化膜16の効果は、次の通りである。シリコン窒化膜17は、シリコン酸化膜の約10倍という大きな膜応力を有する。そのため、シリコン酸化膜16がなければ、シリコン窒化膜17が薄いゲート酸化膜12を介してフォトダイオードに非常に近接することになり、応力に起因するリーク電流を増加させてしまう。ここで、10乃至30nm膜厚のシリコン酸化膜16は応力緩和層として働き、シリコン窒化膜17の応力によるフォトダイオードリーク電流の増加を防止できる。

【0063】尚、第1の実施形態では、P型のシリコン基板を用いた製造工程が示されているが、勿論、P型のシリコン基板の代わりにP型のウェルが形成されてもよい。

【0064】また、A1配線26及びA1遮光膜28の上面、下面には、Ti、TiN膜等の中間屈折率膜を設けてもよい。この中間屈折率膜を設けることにより、光反射をさらに制御することができる。

【0065】〔第2の実施形態〕第2の実施形態は、エピタキシャル成長法を用いて、表面シールド領域及びエレベータド・ソース・ドレインを形成していることに特徴がある。尚、第2の実施形態において、上記第1の実施形態と同様の方法については説明を簡略化し、異なる方法についてのみ詳細に説明する。以下、第2の実施形態による固体撮像装置の製造方法について説明する。

【0066】まず、図18に示すように、公知の技術を用いて、シリコン基板11上にゲート絶縁膜（シリコン酸化膜）12が形成され、シリコン基板11内にSTI構造の素子分離領域（以下、STIと称す）が選択的に形成される。次に、B領域のP-MOSトランジスタ形成領域にNwellが形成され、N-MOSトランジスタ形成領域にPwellが形成される。次に、シリコン基板11上にポリシリコンからなるゲート電極13a、13cが選択的に形成される。

【0067】次に、図19に示すように、光リソグラフィ法とイオン注入法を用いて、A領域におけるゲート電極13aの端部のシリコン基板11の表面にN型ドレイン領域14aが形成され、B領域におけるN-MOSトランジスタ領域のソース・ドレイン領域にN型LDD領域14bが形成される。次に、B領域におけるP-MOSトランジスタ領域のソース・ドレイン領域にP型LDD領域14cが形成される。次に、A領域におけるゲート電極13aの端部のシリコン基板11の表面にフォトダイオードのN型信号蓄積領域15が形成される。

【0068】次に、図20に示すように、全面にシリコン酸化膜（又はシリコン窒化膜）が形成される。このシリコン酸化膜がRIE技術を用いてドライエッチングされ、ゲート電極13a、13cの側面にゲート側壁絶縁膜20が形成される。その後、フッ酸系のエッチング液

にてゲート絶縁膜12が除去され、洗浄なシリコン基板11の表面が露出される。

【0069】次に、図21に示すように、選択エピタキシャル成長により、シリコン基板11及びゲート電極13a、13cの表面に無ドーパの選択成長シリコン層31a、31b、31cを選択成長させる。ここで、選択成長シリコン層31a、31b、31cを選択成長させるためには、ジクロルシラン、水素、及び塩酸の混合ガスを原料とした減圧CVD法を用いて、例えば50 Torr、基板温度は850℃の条件で行えばよい。また、選択成長シリコン層31a、31b、31cの膜厚は20乃至200nmの範囲の所望値になるように成長時間が設定される。

【0070】尚、ゲート電極13a、13c上に選択成長シリコン層31cが形成されている例を示したが、選択エピタキシャル成長前にゲート電極13a、13c上にシリコン酸化膜等の絶縁膜を残しておけば、当然ながらゲート電極13a、13c上にシリコン層は形成されない。本発明の趣旨のよれば、ゲート電極13a、13c上にシリコン層が形成される必要はない。

【0071】次に、図22に示すように、全面に光レジスト膜32が形成されてパターンニングされ、フォトダイオードの信号蓄積領域15上に開口が形成される。パターンニングされた光レジスト膜32をマスクに用いて、加速電圧が例えば30keV、ドーズ量が例えば $4 \times 10^{13} \text{ cm}^{-2}$ の条件で、信号蓄積領域15上の選択成長シリコン層31aにBF₃イオン等のボロンイオンが注入される。

【0072】次に、図23に示すように、光レジスト膜32が剥離され、所望の熱処理が行われる。その結果、選択成長シリコン層31aがP⁺型化（濃度 10^{18} 乃至 $10^{19} \text{ atoms/cm}^3$ ）され、フォトダイオードの信号蓄積領域15の表面にシールド領域21aが形成される。その結果、入射光量に応じた信号電荷を蓄積するP⁺NP型のフォトダイオードが形成される。

【0073】尚、選択成長シリコン層21aはファセット面を有するため、ゲート側壁絶縁膜20端部やSTI端部に接する選択成長シリコン層31aの膜厚は薄くなっている。このため、ボロンがイオン注入されると（図22に示す）、選択成長シリコン層31aの膜厚の薄くなっている部分（A部）において、ボロンがより深くイオン注入される。従って、A部において表面シールド領域21aが僅かながらシリコン基板11の表面下に深く形成されることになる。勿論、表面シールド領域21a形成時のイオン注入の加速電圧やドーズ量の調整により、図23に示す表面シールド領域21aの濃度プロファイル形状を任意に設定できることは言うまでもない。

【0074】図24（a）は、図23のA領域の一部である埋め込みフォトダイオード構造の断面図を示している。また、図30（b）、（c）は、低電圧読み出し時

17

(読み出しゲート電極ON時)におけるポテンシャル断面図を示し、図30(c)は、図30(b)よりも低電圧で読み出す場合を示している。ここで、図30(b)は電圧が3.3Vの場合、図30(c)は電圧が2.5Vの場合を示す。

【0075】図24(a)に示すように、表面シールド領域21aは、選択成長シリコン層31aを母体にして形成されている。このため、表面シールド領域21aの上面はゲート電極13aの下面よりも上方に位置し、表面シールド領域21aの下面はゲート電極13aの下面よりもやや下方に位置する構造となっている。

【0076】従って、図30(a)に示す従来構造よりも、表面シールド領域21aを読み出しゲート電極13aの下面に対して極めて浅く形成することができる。その結果、図24(b)、(c)に示すように、信号蓄積領域15に蓄積された信号電子の読み出し時において、従来(図30(b)、(c))に見られたような電位障壁は実効的に消滅し、残留電荷も実効的に残らないようになる。

【0077】上記第2の実施形態によれば、選択エピタキシャル成長法を用いて、シリコン基板11上に表面シールド領域21aが形成されている。従って、信号読み出し時において、表面シールド領域21aの端部及び読み出しゲート電極13aの端部に存在する電位障壁が実効的に消滅し、フォトダイオードの信号蓄積領域15に残留電荷が実効的に残らないようになる。このため、信号電子の完全転送が実現する。その結果、従来のような埋め込みフォトダイオード構造を用いた場合、特に、低電圧読み出し時において課題になっていた高残像、高雑音や低感度といった問題を解決することができ、素子の性能を向上できる。

【0078】また、選択エピタキシャル成長法を用いることにより、シリコン基板11上に選択成長シリコン層31bが形成されている。従って、ソース・ドレイン領域をエレベータッド・ソース・ドレインとすることができる。これにより、画素領域においてはリーク電流の発生を防止でき、周辺回路領域においては低抵抗化が図られる。

【0079】さらに、周辺回路領域にエレベータッド・ソース・ドレインを形成することにより、N型ドレイン領域14aをシリコン基板11中に浅く形成した場合でも、金属シリサイド形成後の接合リーク電流を十分抑制できる。その結果、画素領域においてもN型ドレイン領域を浅く形成することができる。このため、読み出しゲート電極13aの長さを短くした場合に生じる信号蓄積領域15とドレイン領域14a間のパンチスルーという問題を抑制できる。従って、読み出しゲート電極長を短くできるので、画素サイズの微細化を実現できる。

【0080】尚、第2の実施形態では、表面シールド領域21aの形成は、無ドーパシリコン層を選択成長させ

18

(図21に示す)、ボロンイオン注入(図22に示す)と熱処理により行われる例を示してきたが、このような方法に限定されない。

【0081】例えば、ボロンが注入されたP型シリコン層を選択成長させることもできる。P型シリコン層をはじめてから選択成長させる場合には、当然ながらボロンイオン注入やイオン注入後の熱処理を省略することが可能である。このように表面シールド領域21aを形成すれば、上記第2の実施形態と同様の効果が得られるだけでなく、さらに以下の効果が得られる。

【0082】まず、ボロンイオン注入工程による欠陥がフォトダイオードに導入されないため、フォトダイオードの接合リーク電流を低減できる。また、ファセット面の下部領域において、ボロンがより深く注入されるということがなくなるため、図25に示すように、前記表面シールド領域の下面は前記ゲート電極の下面と同一の高さに位置している。つまり、表面シールド領域21bの下面をより平面状かつより浅く形成できる。このため、信号読み出し時の電位障壁はさらに低くなり、2V以下の低電圧読み出し条件でも完全転送を実現できる。

【0083】[第3の実施形態] 第3の実施形態は、第1の実施形態と同様に、ソース・ドレイン領域上にシリサイド膜を形成し、フォトダイオード上にシリサイドブロック層を形成していることに特徴がある。また、第2の実施形態と同様に、エピタキシャル成長法を用いて、表面シールド領域及びエレベータッド・ソース・ドレインを形成していることに特徴がある。尚、第3の実施形態において、上記第2の実施形態と同様の工程については説明を省略し、異なる工程のみ説明する。以下、第3の実施形態による固体撮像装置の製造方法について説明する。

【0084】まず、図18乃至図23に示すように、第2の実施形態と同様に、フォトダイオードの信号蓄積領域15の表面にエピタキシャル成長された表面シールド領域21aが形成される。

【0085】次に、図26に示すように、減圧CVD法等を用いて、全面に例えば20乃至50nmの膜厚を有するシリコン酸化膜16が形成され、このシリコン酸化膜16上に例えば50乃至100nmの膜厚を有するシリコン窒化膜17が形成される。更に、シリコン窒化膜17上に減圧CVD法等を用いて、50乃至100nmの膜厚を有するシリコン酸化膜16bが形成される。その後、光リソグラフィ法によりフォトダイオードの信号蓄積領域15の上方に光レジスト膜(図示せず)が形成される。この光レジスト膜をマスクとして、RIE技術によりシリコン窒化膜17及びシリコン酸化膜16がドライエッチングされ、フォトダイオードの信号蓄積領域15上にシリサイドブロック層19が形成される。このシリサイドブロック層19により、後のシリサイド工程において表面シールド領域21aのシリサイド化が防止

される。

【0086】次に、図27に示すように、加速電圧が例えば10乃至50kV、ドーズ量が例えば 10^{13} 乃至 10^{15} cm⁻²の条件で、信号蓄積領域15と同一導電型不純物イオン、例えばAsイオンが全面に注入される。これにより、シリサイドブロック層19でカバーされていない領域の選択成長シリコン層31b、31cの少なくとも表面付近が非晶質化される。

【0087】次に、図28に示すように、スパッタリング法等により、全面に例えば20乃至40nmの膜厚を有するTi膜（図示せず）が形成され、このTi膜上に例えば10乃至30nmの膜厚を有するTiN膜（図示せず）が形成される。次に、窒素雰囲気中において、700乃至800℃の温度条件で、30秒程度アニールが行われる。その結果、選択成長シリコン層31b、31c中のシリコンとTi膜中のTiが反応し、選択成長シリコン層31b、31cとTi膜との界面にTiシリサイド膜33a、33bが形成される。その後、硫酸と過酸化水素水の混合液等を用いて、TiN膜及び未反応のTi膜がエッチング除去される。このようにして、シリサイドブロック層19でカバーされていない選択成長シリコン層31b、31c上にTiシリサイド膜33a、33bが形成された構造ができる。

【0088】上記第3の実施形態によれば、第1の実施形態及び第2の実施形態と同様の効果が得られる。

【0089】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0090】

【発明の効果】以上説明したように本発明によれば、素子の性能を向上させることが可能な固体撮像装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図2】図1に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図3】図2に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図5】図4に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図8】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図9】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図10】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図11】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図12】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図13】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図14】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図15】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図16】本発明の第1の実施形態に係わるシリサイドブロック層19の平面パターンを示す平面図。

【図17】本発明の第1の実施形態と従来例との光反射率を比較したグラフ。

【図18】本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図19】図18に続く、本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図20】図19に続く、本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図21】図20に続く、本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図22】図21に続く、本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図23】図22に続く、本発明の第2の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図24】本発明の第2の実施形態における電位障壁の低下を示す図。

【図25】本発明の第2の実施形態の変形例を示す断面図。

【図26】本発明の第3の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図27】図26に続く、本発明の第3の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図28】図27に続く、本発明の第3の実施形態に係わる固体撮像装置の製造工程を示す断面図。

【図29】従来技術による固体撮像装置を示す断面図。

【図30】従来技術の電位障壁の問題を説明するための固体撮像装置の断面図。

【符号の説明】

1…シリコン基板、

12…ゲート酸化膜、

13a、13b、13c…ゲート電極、

14a…N型ドレイン領域、

14b…N型LDD領域、

14c…P型LDD領域、

15…フォトダイオードのN型信号蓄積領域、

16…シリコン酸化膜、

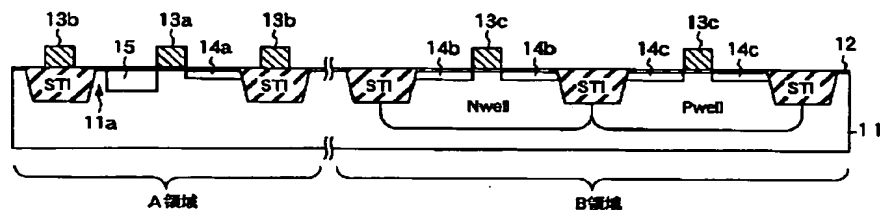
21

16b…シリコン酸化膜、
 17…シリコン窒化膜、
 18、32…光レジスト膜、
 19…シリサイドブロック層、
 20…ゲート側壁絶縁膜、
 21、21a、21b…P-型表面シールド領域、
 22a…P-型ソース・ドレイン領域、
 22b…N-型ソース・ドレイン領域、
 23…Ti/TiN膜、

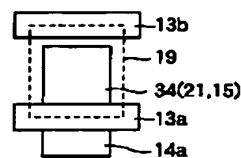
22

* 24a、24b、33a、33b…Tiシリサイド膜、
 25…第1の層間絶縁膜、
 26…A1配線、
 27…第2の層間絶縁膜、
 28…A1遮光膜、
 29…表面保護膜、
 30…開口部、
 31a、31b、31c…選択成長シリコン層、
 * 34…フォトダイオード。

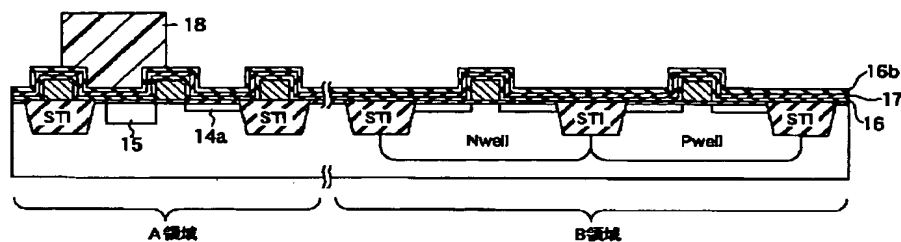
【図1】



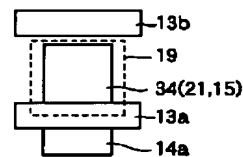
【図8】



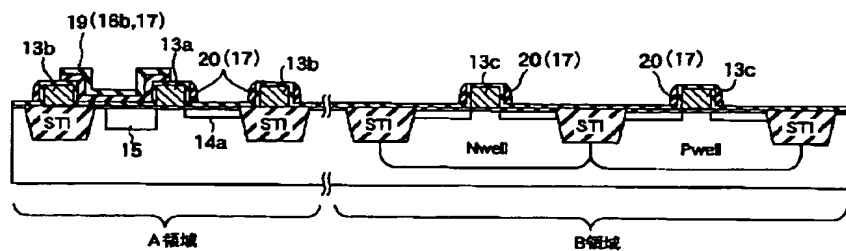
【図2】



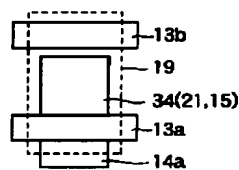
【図9】



【図3】

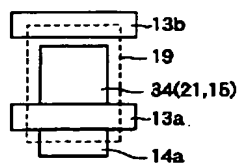


【図10】

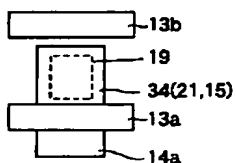


【図15】

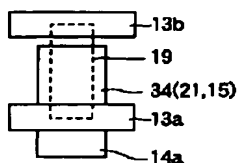
【図11】



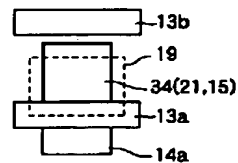
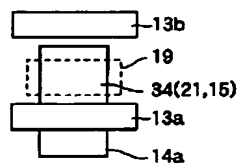
【図12】



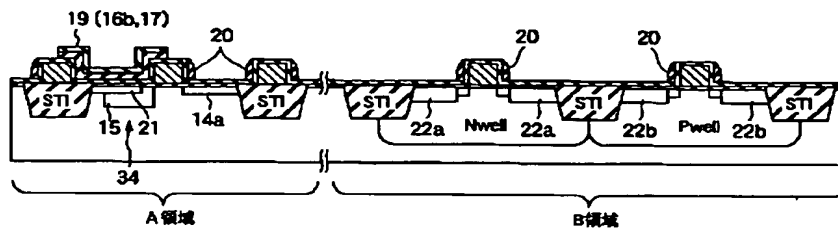
【図13】



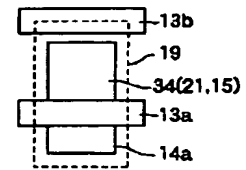
【図14】



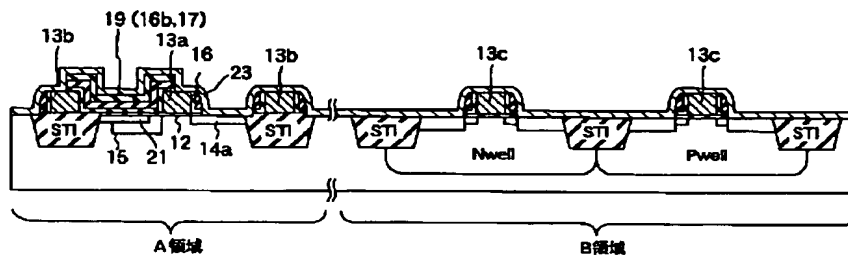
【図4】



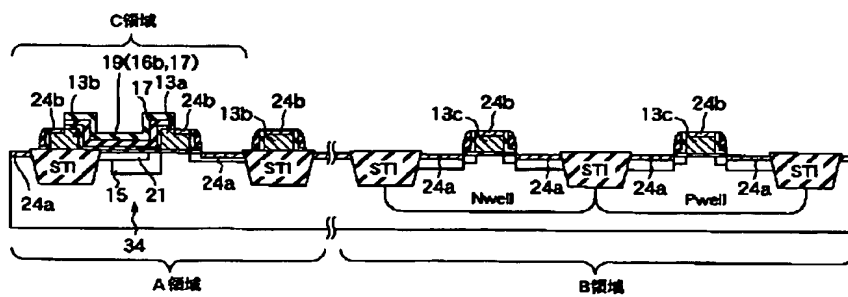
【図16】



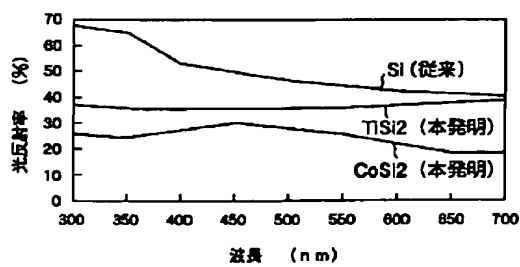
【図5】



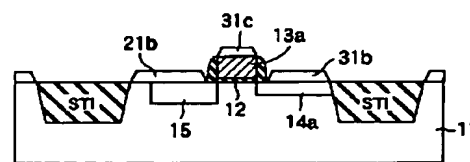
【図6】



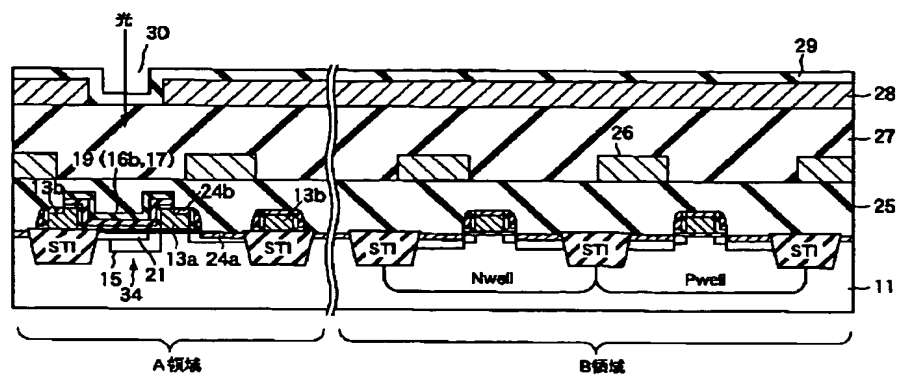
【図17】



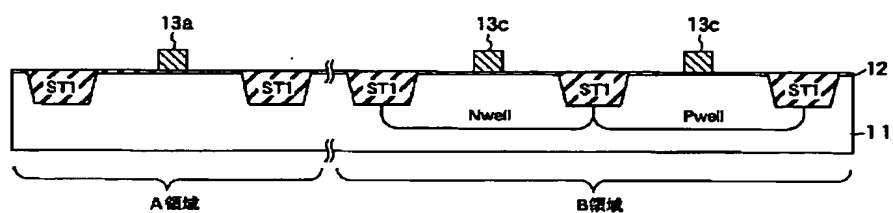
【図25】



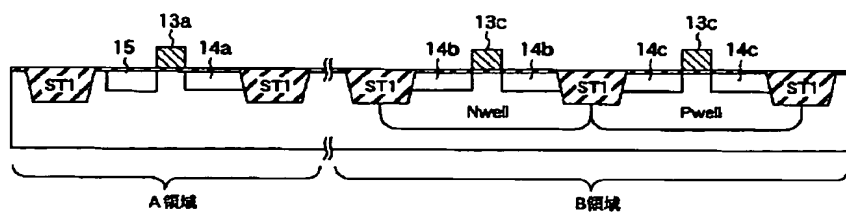
【図7】



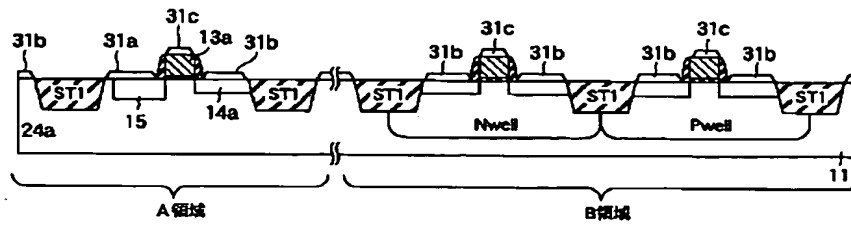
【図18】



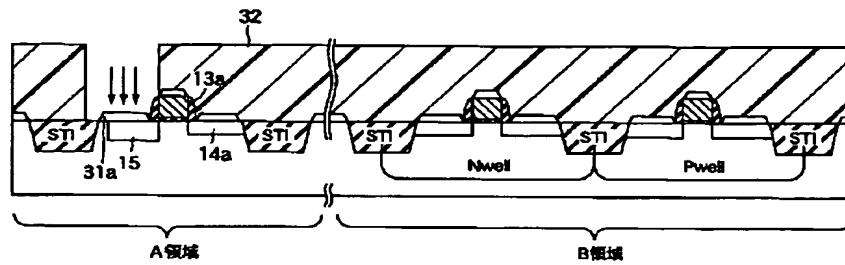
【図19】



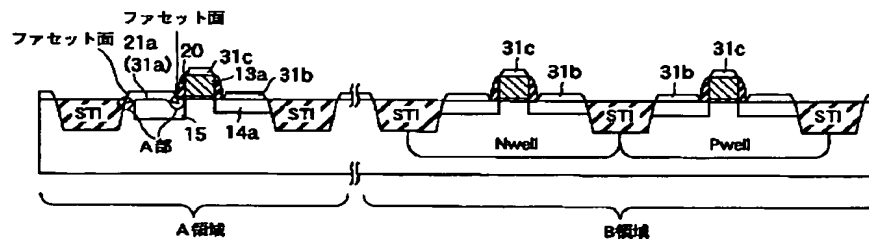
【図21】



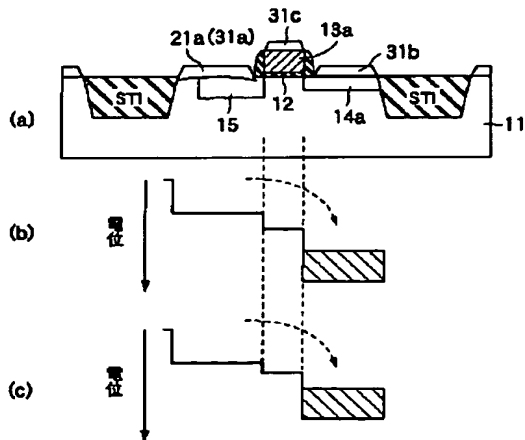
【図22】



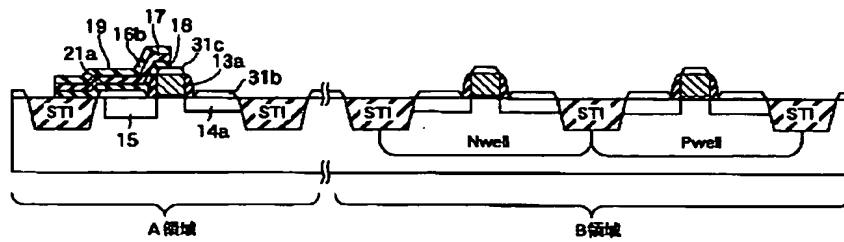
【図23】



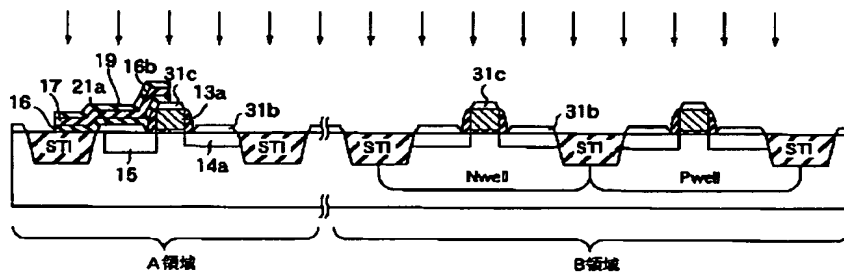
【図24】



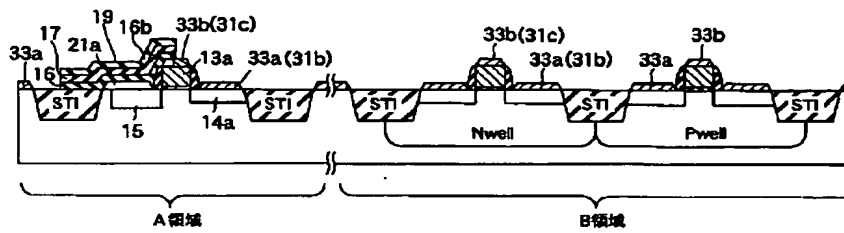
【図26】



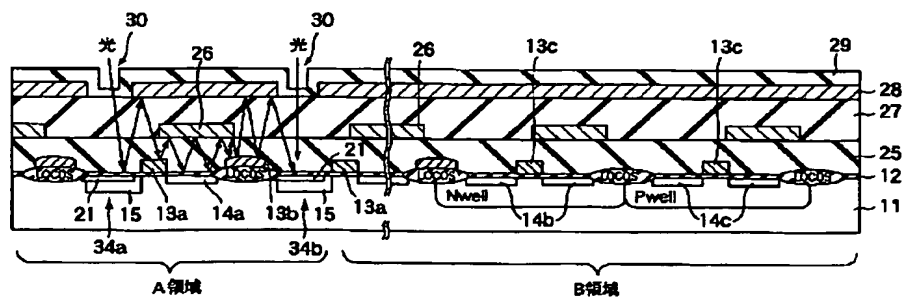
【図27】



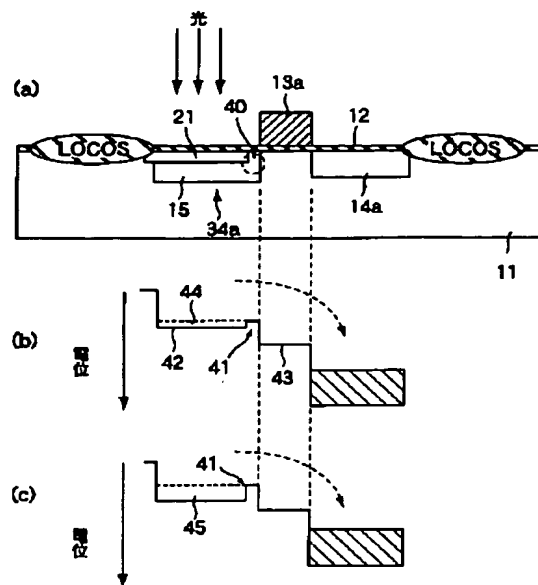
【図28】



【図29】



【図30】



フロントページの続き

(51)Int.Cl.

H01L 29/41

H04N 5/335

識別記号

FI

H01L 27/08

29/52

テーマコード(参考)

321F

(72)発明者 山下 浩史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考)

4M104 AA01 BB01 BB25 CC01 CC05
 DD37 DD80 DD84 FF01 FF14
 FF18 GG10 GG14 GG17
 4M118 AA05 AA10 AB01 BA14 CA04
 CA32 CB13 EA01 FA28 FA33
 GB11
 5C024 CX11 CX17 CY47 GX03 GY31
 5F048 AA00 AA01 AB10 AC03 AC10
 BA01 BB01 BB05 BB08 BB09
 BB12 BC06 BE03 BF02 BF06
 BF07 BG14 DA25 DA27 DA30